

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-133669

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H01L 21/60  
H01L 21/28  
H01L 21/56  
H01L 21/3205  
H01L 23/12

(21)Application number : 10-303450

(71)Applicant : SONY CORP

(22)Date of filing : 26.10.1998

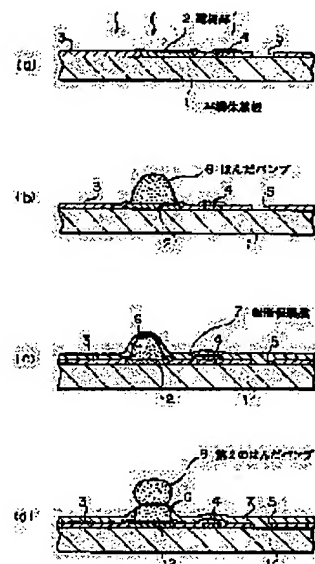
(72)Inventor : YAMANAKA HIDEO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor device, whereby a solder bump can be formed readily and reliably with firm junction.

**SOLUTION:** In the manufacturing method, the surface of an electrode 2 disposed on a pad of a semiconductor chip formed on a substrate 1 is cleaned with a plasma, ultrasonic waves are applied to the electrode 2 in a solder melt so as to remove an oxide film and the like from the surface of the electrode 2, and a solder bump 6 is directly formed on the surface of the electrode 2. Thereafter, a semiconductor chip is encapsulated with a resin protective film or a molding resin while the soldered bump is exposed, so as to complete a chip-size semiconductor device(CSP).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-133669  
(P2000-133669A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/92	6 0 4 D 4 M 1 0 4
21/28		21/60	3 1 1 Q 5 F 0 3 3
21/56		21/28	B 5 F 0 4 4
21/3205		21/56	E 5 F 0 6 1
		21/88	T

審査請求 未請求 請求項の数11 OL (全 8 頁) 最終頁に続く

(21)出願番号 特願平10-303450

(22)出願日 平成10年10月26日(1998. 10. 26)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 山中 英雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

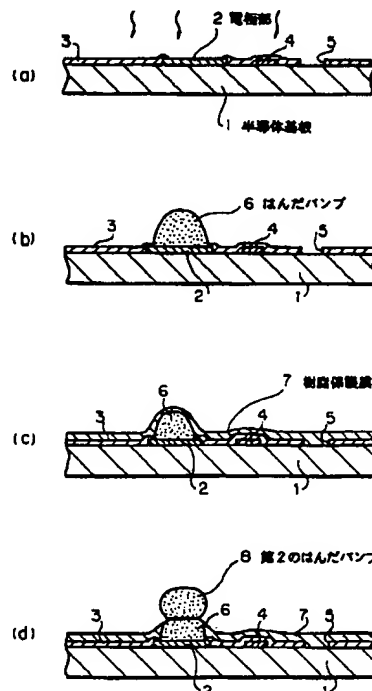
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 はんだバンプを容易に、しかも強固な接合で確実に形成することができる、半導体装置の製造方法を提供が望まれている。

【解決手段】 基板1上に形成された半導体チップのパッド部の電極部2の表面をプラズマクリーニングし、次いで、はんだ溶融液中にて電極部2に超音波を印加してこの電極部2表面の酸化膜等を除去し、電極部2表面上に直接はんだバンプ6を形成する。この後、はんだバンプを露出した状態に半導体チップを樹脂保護膜あるいはモールド成形樹脂で封止し、チップサイズの半導体装置(CSP)とする。



## 【特許請求の範囲】

【請求項1】 基板上に形成された半導体チップのパッド部の電極部の表面をプラズマクリーニングし、次いで、はんだ溶解液中にて前記電極部に超音波を印加して該電極部表面の酸化膜を除去し、該電極部表面上に直接はんだバンプを形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体チップのパッド部が、ペリフェラルパッド部、あるいは該ペリフェラルパッド部より再配線されて形成されたエリアパッド部であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記はんだバンプを露出した状態に、前記半導体チップを樹脂保護膜あるいはモールド成形樹脂で封止することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記半導体チップを樹脂保護膜あるいはモールド成形樹脂で封止する際、前記はんだバンプを、研削及び／又は研磨によって露出させるとともにその高さを揃えることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記樹脂保護膜あるいはモールド成形樹脂から露出したはんだバンプ上に、第2のはんだバンプを形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】 はんだ溶解液中にて前記電極部に超音波を印加する際、前記基板を、超音波を発する超音波ホーンに対して垂直になるように配置することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記超音波ホーンはシングルあるいはマルチ構造であり、その振動子が前記基板と少なくとも同じかこれ以上の面積を有していることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記超音波ホーンがシングル又は複数のライン状であり、ウエハ直径以上の大きさであることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】 はんだ溶解液中にて前記電極部に超音波を印加する際、前記基板を上下に引き上げることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】 はんだ溶解液中にて前記電極部に超音波を印加する際、前記基板をはんだ溶解液上又は中にフローティングさせることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項11】 前記半導体チップのパッド部が、ペリフェラルパッド部より再配線されて形成されたエリアパッド部である場合に、前記再配線を、アルミニウム系金属膜又は銅系金属膜で形成することを特徴とする請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に形成され

た半導体チップのパッド部の電極部の表面に、はんだバンプを形成する工程を備えた、半導体装置の製造方法に関する。

【0002】

【従来の技術】 一般に、半導体装置でのバンプの形成には、はんだやAu（金）が使用されている。しかし、コストやリベアの面を考慮するとはんだの方が格段に有利であり、したがって半導体装置の多くのバンプにはんだが使用されている。

【0003】ところで、バンプを形成するアルミニウム製の電極部表面には、通常数10Å程度の厚さの自然酸化膜が形成されており、したがってはんだの濡れ性が悪くなっている。また、一旦はんだが濡れると、アルミニウム製電極部表面ではAl-Snの共晶反応が起こるが、このような共晶反応が起こると、その反応物は腐蝕されやすくなってしまう。したがって、通常はんだバンプと電極部との界面に、(Pb/Ni/Ti)や(Au/Cu/Cr)、(Au/Pt/Ti)等からなる下地金属層を形成している。

【0004】このような下地金属層を介してはんだバンプを電極部に形成するには、通常、まず蒸着法やスパッタリング法等によって前記下地金属層をウエハ基板全面に成膜し、次にこの上にレジスト層を形成し、続いて汎用フォトリソグラフィ技術、エッチング技術によって前記電極部上のみを開孔する。次いで、蒸着法や電解メッキ法、ディッピング法等ではんだ層を成膜し、さらにレジストを剥離して前記電極上の開孔内に位置したはんだからのはんだバンプを得る。続いて、得られたはんだバンプをマスクにして下地金属層をエッチングする。また、はんだを蒸着法で形成した場合は、最後にリフローを行い、ウエットバックして球形のバンプ形状を保つといった方法なども実施されている。

【0005】しかしながら、このような下地金属層を介してはんだバンプを形成する方法では、下地金属層を形成しなくてはならず、しかも電極部以外の部分にはんだがメッキされあるいは蒸着されないようにマスクを形成する必要があり、したがって工程が複雑であるといった不満があった。また、このような方法に下地金属層として一般に用いられる(Cu/Cr)は、そのエッチングが難しく、安全衛生上の問題もあった。さらに、高価な装置が必要になり、前述したように工程が複雑になることなどから、コストダウンを妨げる大きな要因にもなっていた。

【0006】このような不都合を解決すべく、従来、アルミニウム製電極部へ下地金属層なしで直接かつ選択的にはんだバンプを形成する技術が提案されている。この技術は、「超音波はんだづけ法を応用したAl電極への直接はんだバンプ形成」(電子情報通信学会論文誌C vol. J70-C No.11 pp.1466-1472 1987年11月)に開示されたもので、超音波はんだ付け法を応用してはんだバ

ンプを形成する技術である。

【0007】すなわち、この技術は、超音波の作用ではんだ中にキャビティ（空孔）を生じさせ、このキャビティをチップ表面で圧損することにより、アルミニウムパッド上の酸化膜を破壊する。そして、このようにして酸化膜を取り除くことによりアルミニウムの新生面を露出させ、はんだ中のSnまたはAgとAlとの間で共晶反応を起こさせることにより、はんだバンプを形成する技術である。

【0008】

【発明が解決しようとする課題】しかしながら、このような技術においても以下に述べる不都合がある。

(1) 超音波エネルギーむら等により、はんだバンプ高さの制御が容易でない。

(2) アルミニウム電極部の汚れ等により、部分的にはんだの付かないパッドが形成されることがある。

(3) ポリイミド膜等の樹脂保護膜がある場合、はんだがその膜に付着し易い。

(4) 超音波エネルギーのダメージにより、特性劣化が起こる可能性がある。

【0009】本発明は前記事情に鑑みてなされたもので、その目的とするところは、はんだバンプを容易に、しかも強固な接合で確実に形成することができる、半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置の製造方法では、基板上に形成された半導体チップのパッド部の電極部の表面をプラズマクリーニングし、次いで、はんだ熔融液中にて前記電極部に超音波を印加して該電極部表面の酸化膜を除去し、該電極部表面上に直接はんだバンプを形成することを前記課題の解決手段とした。

【0011】この製造方法によれば、はんだバンプ形成に先立ってパッド部の電極部表面をプラズマクリーニングするので、電極部表面の酸化膜や水酸化膜などが除去されるとともに有機物の汚れも除去され、したがってその後のはんだ熔融液中での超音波印加により、パッド部の電極部表面の酸化膜破壊とこれの除去が確実になされる。

【0012】

【発明の実施の形態】以下、本発明の半導体装置の製造方法を詳しく説明する。図1(a)～(d)は、本発明の半導体装置の製造方法の一実施形態例を説明するための図である。なお、本実施形態例は、ペリフェラルパッド部にはんだバンプを形成するとともに、樹脂保護膜で半導体チップを封止してチップサイズの半導体装置(CSP; Chip Size Packageの略)を製造する方法に適用した場合の例を示すものである。

【0013】本例では、まず、図1(a)に示すようにシリコンウエハからなる半導体基板1上に形成された半導体チップ(図示略)のペリフェラルパッド部における

アルミニウム製電極部2の表面を、プラズマクリーニングする。このプラズマクリーニングとして具体的には、高周波平行平板逆スパッタ方式クリーニング装置等により電極部2表面をプラズマでドライクリーニングし、この電極部2表面の酸化アルミニウム膜や水酸化アルミニウム膜を除去するとともに、有機物の汚れ等をも除去する。ここで、放電用ガスとしては、アルゴンや、アルゴン+5～10%空気、アルゴン+1～3%酸素、アルゴン+5～10%窒素、アルゴン+1～3%水素などが用いられる。なお、図1(a)中符号3は窒化シリコン( $\text{Si}_3\text{N}_4$ )からなる保護膜、4はダイシングアライメントマーク、5はスクライブラインである。

【0014】次に、超音波はんだ付け法によって図1(b)に示すように電極部2上にはんだバンプ6を形成する。はんだバンプ6の形成に用いる超音波はんだ付け装置としては、例えば図2に示すように、熔融はんだ(はんだ熔融液)50を入れた二重槽51と、この二重槽51を収容する収容槽52とを備えたディッピング式のものを用いられる。ここで、二重槽51は、内槽53とこの内槽53を収容した外槽54とを備え、これら内槽53および外槽54のそれぞれに熔融はんだ50を満たしたものである。外槽54内であつ内槽53外には、回転駆動源(図示略)に接続された撹拌羽根55が配設されており、またははんだバンプ6形成処理を行うための半導体基板1が、ステンレス保持治具(図示略)によって図2に示したように立てた状態で昇降可能に吊り下げられている。

【0015】このような構成のもとに半導体基板1が吊り下げられた場所には、撹拌羽根55によって噴流された酸化されていない熔融はんだ50が、絶えず循環供給されるようになっている。なお、本例においては、熔融はんだ50として、そのはんだ組成がSn-90/Zn-10のものをを用いている。

【0016】収容槽52には、二重槽51の外側にはんだ等の熱媒体56が充填され、また収容槽52の外側には高周波式あるいは抵抗式の加熱コイル57が設けられている。そして、このような構成のもとに熔融はんだ50は、加熱コイル57により熱媒体56を介して加熱され、所望する温度に保持されるようになっているのである。

【0017】また、収容槽52上には超音波ホーン58が配設されている。この超音波ホーン58は、振動子が電気歪型PZT(例えば先端サイズは100×90mm)からなるものであり、その一部が熔融はんだ50中に配置されるとともに、半導体基板1の前に位置せしめられている。ここで、超音波ホーン58はシングルあるいはマルチ構造とし、その振動子を、半導体基板1の面積と同じかこれ以上にするのが、超音波エネルギーむらを少なくするうえで好ましい。なお、半導体基板1は、その素子形成面あるいは裏面が、超音波ホーン58の振

動子に向けて配置されている。

【0018】このような超音波はんだ付け装置によって図1(b)に示したように電極部2上にはんだバンプ6を形成するには、図2に示したように超音波ホーン58より超音波を半導体基板1表面に印加しつつ、半導体基板1を立てた状態のままで上方に引き上げる。すると、超音波の作用ではんだ中にキャビティ(空孔)が生じ、このキャビティがチップ表面で圧損することにより、アルミニウム製電極部2上の酸化膜や水酸化膜が破壊する。そして、このようにして酸化膜や水酸化膜が取り除かれることによりアルミニウムの新生面が露出し、この露出面においてはんだ中のSnまたはZnとAlとの間で共晶反応が起こり、これによって高さが40〜60μmのはんだバンプ6が高い接合強度で形成される。

【0019】このとき、前述したように半導体基板1と超音波ホーン58との間には攪拌羽根55によって溶融はんだ50が噴流され循環供給されるようになっているが、さらにこれらの間には、窒素ガスが5〜10(1/分)の流量で供給されるようになっている。そして、このように構成により、半導体基板1と超音波ホーン58との間の酸素濃度が約100(ppm)以下に保持され、これにより溶融はんだ50の液面での酸化や半導体基板1の電極部2表面の酸化が防止されるようになっている。

【0020】ここで、超音波の周波数については19.5KHz±2Hzとし、100〜200Wのパワーを印加する。また、溶融はんだ50のはんだ温度を280℃とし、溶融はんだ50中のディップ時間を2〜3秒とする。また、電極部2の大きさを100μm□とした。なお、溶融はんだ50としては、そのはんだ組成をPbフリーとしてもよく、さらには、Sn-Ag系(例えば、Sn/3.5Ag)、Sn-Bi系(例えば、Sn/5.8Bi)、Sn-Ag-Bi系(例えば、Sn/3.5Ag/4.8Bi)等の適当な組成のものを適宜選択して使用してもよい。

【0021】また、図2に示したディッピング式の超音波はんだ付け装置に代え、図3(a)に示すようなフローティング式の超音波はんだ付け装置を用いることもでき、このようなフローティング式の超音波はんだ付け装置を用いた場合の方が、はんだバンプが高く形成し易くなる。このフローティング式の超音波はんだ付け装置は、図2に示した二重槽51および収容槽52からなる槽とはほぼ同様の槽構成を有した処理槽60と、溶融はんだ50を噴流させる攪拌羽根61と、加熱コイル62と、超音波ホーン63と、はんだバンプ6形成後の半導体基板1を徐冷するための徐冷室64とを備えてなるものであり、半導体基板1を、溶融はんだ50の液面に沿って該処理槽60の上側にフローティングさせるものである。

【0022】ここで、処理槽60はその上方が覆体65

によって覆われており、半導体基板1の走路である処理槽60上にはH<sub>2</sub>とN<sub>2</sub>との混合ガス、あるいはN<sub>2</sub>やAr(アルゴン)等の不活性ガスが供給されるようになっている。そして、このような構成により、溶融はんだ50の液面での酸化や半導体基板1の電極部2表面の酸化が防止されるようになっている。また、このフローティング式の超音波はんだ付け装置を用い、素子形成面(図示略)を上にし電極部2を上に向けて半導体基板1を溶融はんだ中をくぐり抜ける、又はフローティングする場合には、図3(b)に示すように熱風ブローを行ってパッド部における電極部(図示略)以外の溶融はんだ50を除去し、高さが比較的高いはんだバンプ6を形成するようにしてもよい。なお、素子形成面及び電極部を下向きにしてフローティングしてもよい。

【0023】なお、図1(b)に示したように超音波はんだ付け法で電極部2上にはんだバンプ6を形成する場合、半導体基板1と振動子との距離やその角度、はんだ温度、はんだ組成、ディッピング時間等の因子により、バンプ形成率やバンプ高さ等が左右されることから、量産を行う場合には自動制御によるロボット作業とするのが望ましい。

【0024】また、このようなはんだバンプ6の形成に先立ち、熱ショックによるストレスを低減するとともに、再配線に使用するポリイミド膜等の樹脂保護膜に吸着した水分を除去するため、半導体基板1を不活性雰囲気(窒素)中でプリベーク(100〜200℃)するのが好ましい。なお、ポリイミド膜等の樹脂保護膜に吸着した水分を除去するのは、ポリイミド膜等の樹脂保護膜に水分が吸着したままであると、このポリイミド膜等の樹脂保護膜にはんだが付着して不良が生じてしまうおそれがあるからである。

【0025】このようにしてはんだバンプ6を形成したら、半導体基板1表面をスクラバ洗浄し、微細なはんだクズを除去する。続いて、半導体基板1の表面、すなわちはんだバンプ6の形成面全面に、ポリイミド系、ポリイミドシリコン系、エポキシ系、エポキシアクリレート系、フェノール系等の樹脂をコーティングし、さらにこれをキュアすることにより、図1(c)に示すように樹脂保護膜7を厚さ5〜10μm程度に形成する。なお、樹脂保護膜7としては、ダイシングアライメントマーク4が認識できるように半透明または透明のものとするのが望ましい。

【0026】次いで、樹脂保護膜7およびはんだバンプ6を研削しさらに研磨することにより、はんだバンプ6を樹脂保護膜7から露出させるとともに、高さの揃ったものにする。ここで、はんだバンプ6の研削は比較的大い番手のホイールを用いて行い、また、研磨は酸化セリウムの研磨剤を用いたバフ研磨を行う。はんだバンプ6の高さについては、例えば40μmの高さに揃える。

【0027】次いで、このようにして露出させ高さを揃

えたはんだバンパ6上に、例えばスクリーン印刷法等により、図1(d)に示すように第2のはんだバンパ8を形成する。この第2のはんだバンパ8は、Pbフリー、例えば、Sn-Ag系(添加元素Bi, In, Cu)、Sn-Zn系(添加元素Bi, In, Cu)、Sn-Bi系のはんだによって形成される。また、この第2のはんだバンパ8は、リフロー後50~60 $\mu$ m程度となるように形成され、これによりはんだバンパ6の高さと第2のはんだバンパ8の高さとの合計は、100 $\mu$ m程度となる。次いで、半導体基板1の裏面にUV照射硬化型テープ(図示略)を貼合する。その後、この状態で樹脂保護膜7を透してダイシングアライメントマーク4の検出し、フルカットダイシングによりベレタイズして半導体装置を得る。

【0028】このような製造方法にあっては、はんだバンパ6の形成に先立ってパッド部の電極部2表面をプラズマクリーニングするので、電極部2表面の酸化膜や水酸化膜などを除去するとともに有機物の汚れをも除去することができ、したがってその後のはんだ溶解液中での超音波印加により、パッド部の電極部表面の酸化膜破壊とこれの除去を確実に行うことができ、したがってはんだバンパ6を容易にかつ十分な接合強度で形成することができる。

【0029】なお、はんだバンパ6と第2のはんだバンパ8については、そのはんだ組成を任意に選択することが可能であるが、一段目のはんだバンパ6を高融点のものとし、二段目の第2のはんだバンパを低融点のものとするのが好ましい。

【0030】図4(a)、(b)は、本発明の半導体装置の製造方法の他の実施形態例を説明するための図である。なお、本実施形態例は、エリアパッド部にはんだバンパを形成するとともに、樹脂保護膜で半導体チップを封止してチップサイズの半導体装置(CSP)を製造する方法に適用した場合の例を示すものである。

【0031】本例では、まず、図1(a)に示した半導体基板1を用意し、これの上に感光性樹脂、例えば感光性ポリイミド膜をコーティングして厚さ2~3 $\mu$ m程度の層間保護膜10を形成する。続いて、ペリフェラルパッド部におけるアルミニウム製電極部2の直上部を露光・現像することによって開口し、図4(a)に示すように電極部2の表面を露出させる。

【0032】次いで、蒸着法またはスパッタリング法等によって下地密着用金属(例えばクロム)を成膜し、さらにこれに連続して配線用金属(例えばアルミニウムまたは銅)を成膜することにより、図4(b)に示すように積層構造の導電層11を形成する。ここで、下地密着用金属の膜厚は50~100(nm)とし、配線用金属の膜厚は500~1000(nm)とする。ただし、はんだバンパ形成のためには、配線用金属は厚い方が好ましい。

【0033】なお、導電層11(下地密着用金属)とポリイミド膜からなる層間絶縁膜10との密着力をアップするため、下地密着用金属(例えばクロム)の成膜に先立ち、真空ベーク(100~200℃)処理や、送スパッタ処理を行うのが好ましい。また、耐湿性および耐マイグレーション向上のため、配線用金属にアルミニウムを用いる場合にはシリコンまたは銅を1~3%添加するのが好ましい。

【0034】このようにして導電層11を形成したら、再度ポリイミド膜を形成するに先立ち、導電層11の表面、すなわち配線用金属の電極表面を逆スパッタリングし、表面の酸化膜や有機物汚れ、さらにはポリイミドキュア時のアウトガスでの汚れなどを除去する。

【0035】このような処理を行った後、汎用のフォトリソグラフィ技術、エッチング技術によって導電層11をパターニングし、パッド電極の再配置を行う。すなわち、導電層11をパターニングすることによってペリフェラルパッド部における電極部2から再配線することにより、エリアパッド部13を形成するのである。次いで、エリアパッド部13を覆ってこれを形成した面全面に感光性樹脂、例えば感光性ポリイミドをコーティングし、表面保護膜14を形成する。続いて、汎用のフォトリソグラフィ技術、エッチング技術により表面保護膜14の所定箇所を開口してエリアパッド部13の一部を露出させ、この露出部をエリアパッド部13における電極部15とする。次いで、プラズマアッシングを行い、先に形成したポリイミド膜の残渣を十分に除去する。ただし、プラズマアッシングを強くし過ぎると、電極部15表面に形成される酸化膜の厚さが大きくなるため、条件に適宜に選択して行う必要がある。

【0036】このようにしてエリアパッド部13の電極部15を形成したら、以下、図1(a)~(d)に示した処理と同様にして半導体装置を得る。すなわち、エリアパッド部13の電極部15表面をプラズマクリーニングし、さらに図2あるいは図3に示したような装置を用いて超音波を印加しつつ溶解はんだ(はんだ溶解液)中にてはんだバンパを形成する。次いで、樹脂保護膜ではんだバンパ形成面を封止し、さらにこの樹脂保護膜とはんだバンパとを研削・研磨して露出したはんだバンパ上に第2のはんだバンパを形成する。その後、フルカットダイシングによってベレタイズし、半導体装置を得るのである。

【0037】このような製造方法にあっては、はんだバンパの形成に先立ってパッド部の電極部15表面をプラズマクリーニングするので、電極部15表面の酸化膜や水酸化膜などを除去するとともに有機物の汚れをも除去することができ、したがってその後のはんだ溶解液中での超音波印加により、パッド部の電極部表面の酸化膜破壊とこれの除去を確実に行うことができ、したがってのはんだバンパを容易にかつ十分な接合強度で形成すること

ができる。

【0038】なお、前記実施形態例では、本発明の半導体装置の製造方法を、ペリフェラルパッド部あるいはエリアパッド部にはんだバンプを形成するとともに、樹脂保護膜で半導体チップを封止してチップサイズの半導体装置(CSP)を製造する方法に適用した場合の例を示したが、本発明はこれらに限定されることなく、例えば、ペリフェラルパッド部あるいはエリアパッド部にはんだバンプを形成するとともに、半導体チップをモールド樹脂封止してチップサイズの半導体装置(CSP)を製造する方法にも適用することができる。

【0039】すなわち、ペリフェラルパッド部にはんだバンプを形成するとともに、半導体チップをモールド樹脂封止する場合には、図1(a)～(d)に示した処理と同様にして、まず、ペリフェラルパッド部の電極部表面をプラズマクリーニングし、続いて、図2あるいは図3に示したような装置を用いて超音波を印加しつつ溶融はんだ(はんだ溶融液)中にてはんだバンプを形成する。次いで、はんだバンプ形成面を透明または半透明のモールド樹脂で封止し、さらにこのモールド樹脂とはんだバンプとを研削・研磨してはんだバンプを所定の高さにするとともにこれを露出させる。次いで、必要に応じてスクリーン印刷等により、このはんだバンプ上に第2はんだバンプを形成する。その後、透明または半透明のモールド樹脂膜を透してダイシングアライメントマークを検出し、フルカットダイシングによりベレタイズして半導体装置を得るのである。

【0040】また、エリアパッド部にはんだバンプを形成するとともに、半導体チップをモールド樹脂封止する場合には、まず、図4(a)、(b)に示した処理と同様にして、図1(a)に示した半導体基板1の上に層間保護膜を形成する。次に、下地密着用金属と配線用金属との積層構造による導電層を形成し、さらにこの導電層を加工し再度層間絶縁膜を形成することにより、パッド電極部の再配置を行ってエリアパッド部の電極部を形成する。

【0041】以下、図1(a)～(d)に示した処理と同様にして、すなわち前述したペリフェラルパッド部にはんだバンプを形成するとともに、半導体チップをモールド樹脂封止する場合と同様にして、エリアパッド部の電極部表面をプラズマクリーニングし、続いて超音波を印加しつつ溶融はんだ(はんだ溶融液)中にてはんだバンプを形成する。次いで、はんだバンプ形成面をモールド樹脂で封止し、さらにこのモールド樹脂とはんだバンプとを研削・研磨してはんだバンプを露出させる。次いで、必要に応じてこのはんだバンプ上に第2はんだバンプを形成し、その後、フルカットダイシングによりベレタイズして半導体装置を得る。

【0042】なお、前記実施形態例では、アルミニウム系金属膜(1%Si入り、1～2%Cu入りアルミニウ

ム等)だが、銅系金属膜のパッド電極の場合も適用できることはいうまでもない。はんだ溶液中でUS印加で銅表面の酸化膜除去して、Sn又はZn又はAgとCuの共晶合金を形成する。

【0043】

【発明の効果】以上説明したように本発明の半導体装置の製造方法は、はんだバンプ形成に先立ってパッド部の電極部表面をプラズマクリーニングすることにより、電極部表面の酸化膜や水酸化膜などを除去するとともに有機物の汚れも除去するようにした方法であるから、その後のはんだ溶融液中での超音波印加によるパッド部の電極部表面の酸化膜破壊とこれの除去を確実に行うことができ、したがって電極部の新生面にはんだ中の成分との間の良好な共晶反応を起こさせてはんだバンプを強固な接合で確実に形成することができ、これによりはんだ未着パッドやショートパッドといった不良を無くして歩留り、品質向上を図ることができる。

【0044】また、はんだバンプを露出した状態にして半導体チップを樹脂保護膜あるいはモールド成形樹脂で封止するとともに、該はんだバンプを、研削及び/又は研磨によって露出させるとともにその高さを揃えるようにすれば、超音波はんだ付け法でのはんだバンプの高さは従来のスクリーン印刷法よりもバラツキ易いものの、研削及び/又は研磨によってはんだバンプを所定の高さに揃えることができ、したがって、例えば第2のはんだバンプを形成するなどの後工程を安定化することができる。

【0045】また、はんだバンプを露出した状態にして半導体チップを樹脂保護膜あるいはモールド成形樹脂で封止するとともに、露出したはんだバンプ上に例えば従来のスクリーン印刷法等によって任意の高さの第2のはんだバンプを形成するようにすれば、はんだバンプと第2のはんだバンプとによってトータルとして任意の高さのはんだバンプを形成できる。また、このようにして一段目のはんだバンプ上に二段目の第2のはんだバンプを形成することにより、そのはんだ組成を自由に選定することができることから、マウント基板と半導体チップの熱膨張係数差に起因するはんだ接合部に加わるストレスを緩和することができ、これにより品質および信頼性を向上することができる。

【0046】また、はんだ溶融液中にて電極部に超音波を印加する際、基板を、超音波を発する超音波ホーンに対して垂直になるように配置するとともに、この超音波ホーンをシングルあるいはマルチ構造とし、その振動子を前記基板と同じかこれ以上の面積のものにすれば、超音波エネルギーむらを最小限に抑えることができ、これによりはんだ付着不良を防止することができ、さらにはんだバンプ高さを均一にすることができる。

【0047】また、はんだ溶融液中にて電極部に超音波を印加する際、基板をはんだ溶融液上にフローティング

11

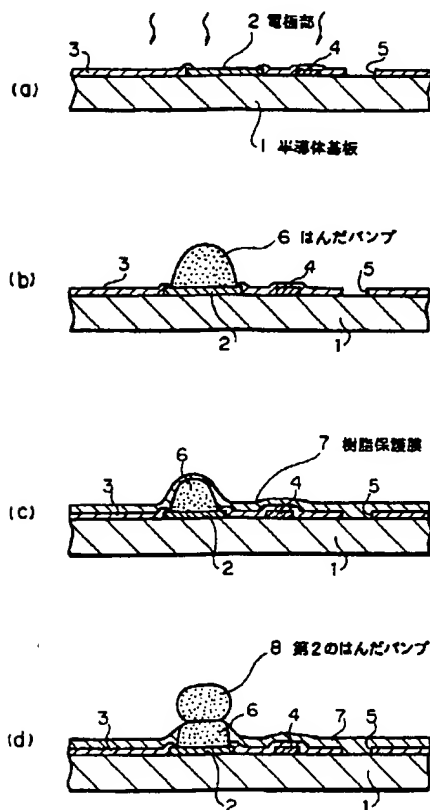
させれば、超音波印加されたはんだ熔融液の噴流表面に基板表面を接触させることができ、したがって基板を上下にディッピングさせる場合に比べ、より高くしかも均一性の良いはんだバンプを形成することができる。

【図面の簡単な説明】

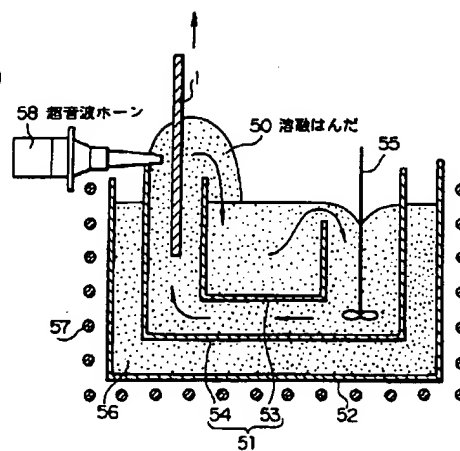
【図1】(a)～(d)は、本発明の半導体装置の製造方法の一実施形態例を工程順に説明するための要部側断面図である。

【図2】超音波によるはんだ付け法に用いられる、超音波はんだ付け装置の一例の概略構成を示す側断面図である。

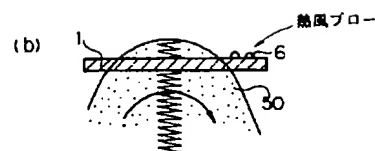
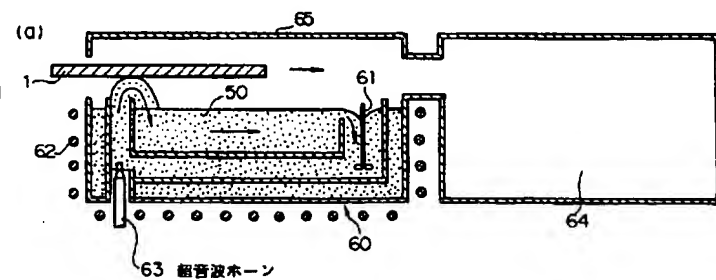
【図1】



【図2】

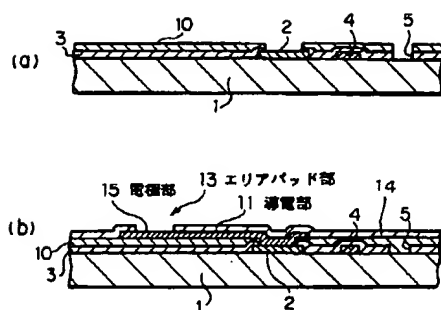


【図3】





【図4】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

識別記号

F I

テ-マ-コ-ト' (参考

)

H 0 1 L 23/12

H 0 1 L 23/12

L

Fターム(参考) 4M104 BB03 BB04 BB36 DD00 DD17

DD23 DD31 DD77 DD79 EE06

EE12 EE18 FF06 FF13 FF17

GG13 HH09

5F033 HH00 JJ01 KK00 KK08 KK09

KK12 MM05 MM17 PP00 QQ00

QQ69 QQ75 QQ94 RR06 RR22

RR23 SS22 TT04 VV07 WW00

XX12 XX33 XX34

5F044 QQ04 RR18

5F061 AA01 BA03 CA10 CB13